



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020475
Application Number

출원 년 월 일 : 2003년 04월 01일
Date of Application APR 01, 2003

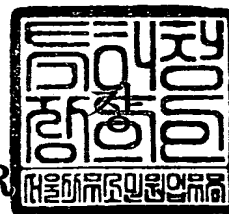
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 08 월 11 일


특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.04.01
【발명의 명칭】	시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING BIPOLAR TRANSISTOR BY USING CMOS PROCESS
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	홍대욱
【성명의 영문표기】	HONG,Dae Wook
【주민등록번호】	701221-1806217
【우편번호】	361-300
【주소】	충청북도 청주시 흥덕구 봉명동 푸른아파트 103동
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	19 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원



1020030020475

출력 일자: 2003/8/13

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 시모스 논리 프로세스(CMOS logic process) 및 일반 P형 웨이퍼를 베이스(base)로 엔베이스(Nbase), 피베이스(Pbase) 공정의 추가적인 진행을 통하여 기생 BJT 보다 게인 및 기타 특성 및 공정의 제어성(controllability) 등을 향상시킴으로써 응용 범위를 확대할 수 있는 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 제공하는 데 있다. 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조 방법은 소정의 하부 구조를 구비하는 반도체 기판을 준비하는 단계와, 반도체 기판 내에 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행하는 단계와, 국부산화(LOCOS; local oxidation of silicon) 공정을 수행하는 단계와, LOCOS 공정을 수행한 상기 반도체 기판에 엔베이스 및 피베이스 공정을 수행하는 단계와, 논리 N 웰 및 P 웰을 형성한 후, 논리 웰을 열처리하는 공정을 수행하는 단계와, 폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성하는 단계와, N+/P+ 소오스/드레인을 형성한 후, 소오스/드레인 열처리를 수행하고, CONT-PAD 프로세스를 순차적으로 수행하는 단계를 포함한다.

【대표도】

도 5

【색인어】

시모스 프로세스, 바이폴라 트랜지스터

【명세서】**【발명의 명칭】**

시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법 {METHOD FOR MANUFACTURING BIPOLAR TRANSISTOR BY USING CMOS PROCESS}

【도면의 간단한 설명】

도 1a 내지 도 1b는 종래의 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 평면도를 도시한다.

도 2는 종래의 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 공정 흐름도를 도시한다.

도 3은 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 평면도를 도시한다.

도 4 및 도 5는 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 단면도들을 각각 도시한다.

도 6a 및 도 6b는 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 공정 흐름도를 각각 도시한다.

도 7은, 도 6a 및 도 6b에 도시된 본 발명의 바람직한 실시예에 따른 공정에 의하여 형성된 시모스 로직, 고압 및 BJT 디바이스가 병합된 구조의 반도체 소자를 나타내는 단면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <7> 본 발명은 반도체 소자의 제조 방법에 관한 것으로서, 보다 상세하게는, 아날로그(analog), 파워(power), RF IC 등의 시스템 IC 설계에 사용하기 위한 시모스 프로세스(CMOS process)를 이용한 바이폴라 트랜지스터 제조방법에 관한 것이다.
- <8> 일반적으로, 양극 접합 트랜지스터(BJT; bipolar junction transistor)는 모스 트랜지스터(MOS TR; metal oxide semiconductor transistor)에 비해 전류 성능(current performance), 속도(speed) 및 그레인(grain) 측면에 있어서 우수하기 때문에 아날로그, 파워, RF IC 설계에 있어서 널리 사용되고 있다.
- <9> 그런데, BJT와 시모스 프로세스(CMOS process)의 장점을 이용한 공정으로써, 논리 회로부인 바이폴라와 CMOS 소자를 전력 소자인 디모스(DMOS ; double diffused MOS)와 집적화하는 전력 집적화 기술인 비시디(BCD ; Bipolar - CMOS - DMOS)공정은 그 복잡성으로 인해 공정 단가(manufacturing cost)가 높은 단점이 있다. DMOS는 이중확산 공정을 이용하여 제작한 MOSFET를 의미하며 고전압 전력소자 제작에 일반적으로 사용되는 방법이다.

- <10> 도 1a 내지 도 1b는 종래의 일반적인 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 단면도들을 각각 도시한다.
- <11> 도 1a에 도시된 바와 같이, PNP형은 수직적인 구조로 콜렉터(collector)에는 P형 기판에 구성하고, 베이스(base)와 에미터(emitter)는 N형 웰에 구성된다.
- <12> 그리고, 도 1b에 도시된 바와 같이 NPN형은 수평적인 구조로 에미터(emitter)와, 베이스(base)와, 콜렉터(collector)가 구성된다.
- <13> 먼저, 도 2에 도시된 바와 같이, 스텝 S12에서 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행한다.
- <14> 이어서, 스텝 S14에서 국부산화(LOCOS; local oxidation of silicon) 공정을 수행한다.
- <15> 그리고 나서, 스텝 S16 및 S18에서, 논리 N 웰 및 P 웰을 형성한 후, 논리 웰을 열처리하는 공정을 수행한다.
- <16> 선택적 공정(optional process)으로 스텝 S20에서 PIP, HR-폴리 등의 공정을 수행할 수 있다.
- <17> 다음 단계로, 단계 S22 및 단계 S24에서 폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성한다.
- <18> 이어서, 단계 S26 내지 단계 S30에서 N+/P+ 소오스/드레인을 형성한 후, 소오스/드레인 열처리를 수행하고, CONT-PAD 프로세스를 수행한다.
- <19> 따라서, 이러한 종래의 CMOS 프로세스를 이용한 BJT 트랜지스터를 제조하는데 있어서는 기생(parasitic) 형태의 BJT로서 게인(gain)과 안정성 및 기타 특성들이 떨어지게

된다. 이러한 결과, 트랜지스터의 응용 분야가 매우 제한되는 문제점이 발생하게 되었다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 상기와 같은 문제점을 해결하기 위해 창작된 것으로서, 본 발명의 주 목적은 시모스 논리 프로세스(CMOS logic process) 및 일반 P형 웨이퍼를 베이스(base)로 엔베이스(Nbase), 피베이스(Pbase) 공정의 추가적인 진행을 통하여 기생 BJT 보다 게인 및 기타 특성 및 공정의 제어성(controllability) 등을 향상시킴으로써 응용 범위를 확대할 수 있는 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 제공하는 데 있다.

<21> 또한, 본 발명의 다른 목적은 종래의 기생 옵션 BJT와는 달리 엔베이스 및 피베이스를 이온주입 및 열예산(heat budget) 등에 있어서 적정조건으로 진행함으로써 매우 안정되고 향상된 BJT 특성을 얻을 수 있는 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 제공하는 것이다.

【발명의 구성 및 작용】

<22> 상기와 같은 목적을 실현하기 위한 본 발명은 소정의 하부 구조를 갖는 반도체 기판을 준비하는 단계와, 상기 반도체 기판 내에 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행하는 단계와, 국부산화(LOCOS; local oxidation of silicon) 공정을 수행하는 단계와, 상기 LOCOS 공정을 수행한 상기 반도체 기판에 엔베이스 및 피베이스 공정을 수행하는 단계와, 논리 N 웰 및 P 웰을 형성한 후, 논리 웰을

열처리하는 공정을 수행하는 단계와, 폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성하는 단계와, N+/P+ 소오스/드레인을 형성한 후, 소오스/드레인 열처리를 수행하고, CONT-PAD 프로세스를 순차적으로 수행하는 단계를 포함하는 것을 특징으로 하는 시모스 프로세스(CMOS process)를 이용한 바이폴라 트랜지스터(bipolar transistor) 제조방법을 제공한다.

<23> 또한, 본 발명의 다른 관점에 따르면 소정의 하부 구조를 갖는 반도체 기판 내에 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행하는 단계와, LOCOS 공정을 수행하고 나서, NMOS 웰 및 PMOS 웰을 형성한 후 논리 웰을 열처리하는 공정을 수행하는 단계와, 선택적으로 PIP나 HR-폴리 중 어느 한 공정을 수행하는 단계와, 폴리 게이트를 형성하고 엔베이스/피베이스를 순차적으로 형성하는 단계와, NMOS/PMOS LDD 소오스/드레인을 형성한 후, N+/P+ 소오스/드레인을 형성하고, 그리고 나서 소오스/드레인 열처리를 수행한 후, CONT-PAD 프로세스를 순차적으로 수행하는 단계를 포함하는 것을 특징으로 하는 시모스 프로세스(CMOS process)를 이용한 바이폴라 트랜지스터(bipolar transistor) 제조방법을 제공한다.

<24> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이다.

<25> 도 3 내지 도 7은 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 평면도, 공정 흐름도 및 단면도들을 각각 도시한다.

- <26> 도 3은 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 평면도를 도시한다.
- <27> 도 4 및 도 5는 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 단면도들을 각각 도시한다.
- <28> 본 발명이 바람직한 실시예에 따르면, 콜렉터(collector)에는 고압 프로세스(high voltage process) 적용에 의한 매우 깊은 접합 웰(high deep junction well)을 사용하는 것이 바람직하다. 그리고, 베이스(base)는 역행 이온주입(retrograde implant)을 실행한 후 논리 웰(logic well)의 열예산(thermal budget)을 이용하여 베이스의 폭 및 변화에 따른 영향을 줄임과 동시에 표준 논리 프로세스에 영향이 없도록 프로세스를 집적함으로써 공정의 단순화를 도모하였다. 또한, 에미터(emitter)는 논리적으로 약하게 도핑된 드레인(LOGIC LDD; logic lightly doped drain) 및 N⁺, P⁺ 접합 구조로 형성하였다.
- <29> 도 6a 및 도 6b는 본 발명의 바람직한 실시예에 따른 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법을 설명하기 위한 공정 흐름도를 각각 도시한다.
- <30> 먼저, 도 6a에 도시된 바와 같이, 스텝 S102에서 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행한다.
- <31> 이어서, 스텝 S104에서 국부산화(LOCOS; local oxidation of silicon) 공정을 수행하고 나서, 스텝 S106에서 엔베이스 및 피베이스 공정을 수행한다.
- <32> 그리고 나서, 스텝 S108 및 S110에서, 논리 N 웰 및 P 웰을 형성한 후, 논리 웰을 열처리하는 공정을 수행한다.

- <33> 선택적 공정(optional process)으로 스텝 S112에서 PIP, HR-폴리 등의 공정을 수행할 수 있다.
- <34> 다음 단계로, 단계 S114 및 단계 S116에서 폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성한다.
- <35> 이어서, 단계 S118 내지 단계 S122에서 N+/P+ 소오스/드레인을 형성한 후, 소오스/드레인 열처리를 수행하고, CONT-PAD 프로세스를 수행한다.
- <36> 한편, 도 6b에 도시된 바와 같이, 스텝 S202에서 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행한다.
- <37> 이어서, 스텝 S204에서 LOCOS 공정을 수행하고 나서, 스텝 S106에서 NMOS 웰 및 PMOS 웰을 형성하는 공정을 수행한다.
- <38> 그리고 나서, 스텝 S208에서, 논리 웰을 열처리하는 공정을 수행한다.
- <39> 선택적 공정으로 스텝 S210에서 PIP, HR-폴리 등의 공정을 수행할 수도 있다.
- <40> 다음 단계로, 단계 S212 및 단계 S214에서 폴리 게이트를 형성하고 엔베이스/피베이스를 순차적으로 형성한다.
- <41> 이어서, 단계 S216 내지 단계 S222에서 NMOS/PMOS LDD 소오스/드레인을 형성한 후, N+/P+ 소오스/드레인을 형성하고, 그리고 나서 소오스/드레인 열처리를 수행한 후, CONT-PAD 프로세스를 순차적으로 수행한다.
- <42> 도 6b에 도시한 본 발명의 바람직한 실시예에 따른 프로세스는 스텝 S210에서의 PIP, HR-폴리 등과 같은 선택적 공정에 의한 엔베이스의 폭 변화의 영향을 줄일 수 있으

므로 베이스 폭 변화에 민감한 게인(gain) 특성 등 BJT 소자의 균일성(uniformity) 특성을 개선시키는 효과가 있다.

<43> 도 7은, 도 6a 및 도 6b에 도시된 본 발명의 바람직한 실시예에 따른 공정에 의하여 형성된 시모스 로직, 고압 및 BJT 디바이스가 병합된 구조의 반도체 소자를 나타내는 단면도이다.

<44> 본 발명을 본 명세서 내에서 몇몇 바람직한 실시예에 따라 기술하였으나, 당업자라면 첨부한 특허 청구 범위에서 개시된 본 발명의 진정한 범주 및 사상으로부터 벗어나지 않고 많은 변형 및 향상이 이루어질 수 있다는 것을 알 수 있을 것이다.

【발명의 효과】

<45> 상기한 바와 같이, 본 발명은 기생 BJT는 특성 변화 요구시 BJT 이외에 MOS 트랜지스터 특성에 변이(shift)를 가져올 수 있는 종래의 시모스 프로세스를 이용한 기생 BJT 보다 매우 향상된 BJT 특성을 확보함과 동시에 베이스 설정 조건에 따라 원하는 게인 및 주요 변수들(parameters)의 양호한 특성을 얻을 수 있는 효과가 있다.

<46> 따라서, 본 발명은 BJT 특성의 향상에 따라서 응용범위를 확대하는 것이 가능하여 증폭, 파워, RF IC 등에 적용하는 것이 가능해지는 효과가 있다.

<47> 또한, CMOS 프로세스를 기본 공정으로 채택함으로써 프로세스 집적상 BCD 공정과 비교하여 제조 비용을 획기적으로 절감할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

소정의 하부 구조를 갖는 반도체 기판 내에 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행하는 단계와,

국부산화 (LOCOS; local oxidation of silicon) 공정을 수행하는 단계와,

상기 LOCOS 공정을 수행한 상기 반도체 기판에 엔베이스 및 피베이스 공정을 수행하는 단계와,

논리 N 웰 및 P 웰을 형성한 후, 논리 웰을 열처리하는 공정을 수행하는 단계와,
폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성하는 단계와,

N+/P+ 소오스/드레인을 형성한 후, 소오스/드레인 열처리를 수행하고, CONT~PAD 프로세스를 순차적으로 수행하는 단계를

포함하는 것을 특징으로 하는 시모스 프로세스(CMOS process)를 이용한 바이폴라 트랜지스터(bipolar transistor) 제조방법.

【청구항 2】

제 1항에 있어서, 상기 폴리 게이트를 형성하고 NMOS/PMOS LDD 소오스/드레인을 순차적으로 형성하는 단계를 수행한 후, 선택적으로 PIP나 HR-폴리 중 어느 한 공정을 수

행하는 단계를 더 포함하는 것을 특징으로 하는 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법.

【청구항 3】

소정의 하부 구조를 갖는 반도체 기판 내에 고압의 깊은 웰(high voltage deep well) 및 주입(drive-in) 공정을 수행하는 단계와,

LOCOS 공정을 수행하고 나서, NMOS 웰 및 PMOS 웰을 형성한 후 논리 웰을 열처리하는 공정을 수행하는 단계와,

폴리 게이트를 형성하고 엔베이스/피베이스를 순차적으로 형성하는 단계와,

NMOS/PMOS LDD 소오스/드레인을 형성한 후, N+/P+ 소오스/드레인을 형성하고, 그리고 나서 소오스/드레인 열처리를 수행한 후, CONT-PAD 프로세스를 순차적으로 수행하는 단계를

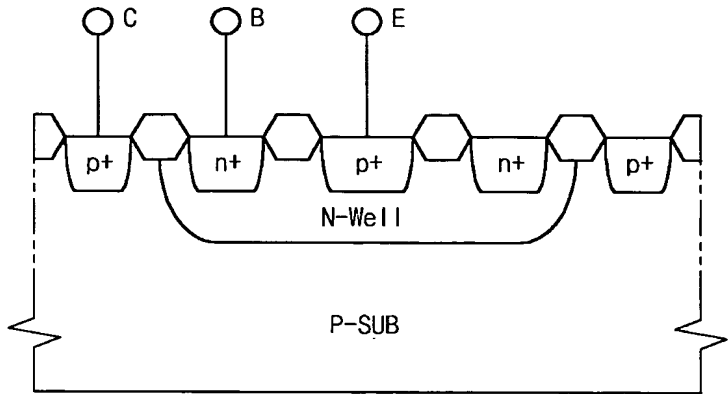
포함하는 것을 특징으로 하는 시모스 프로세스(CMOS process)를 이용한 바이폴라 트랜지스터(bipolar transistor) 제조방법.

【청구항 4】

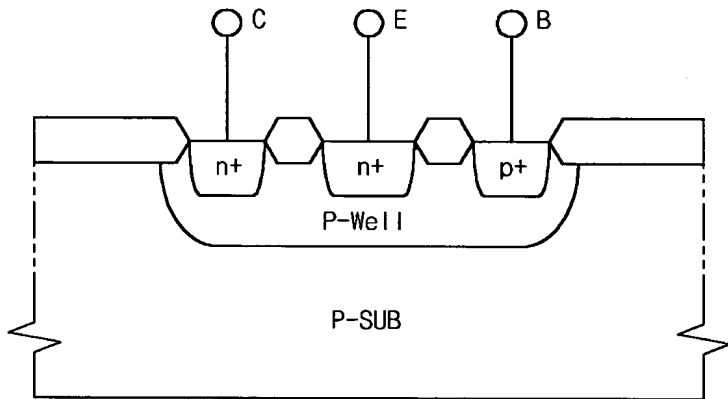
제 3항에 있어서, 상기 폴리 게이트를 형성하고 엔베이스/피베이스를 순차적으로 형성하는 단계 이전에, 선택적으로 PIP나 HR-폴리 중 어느 한 공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 시모스 프로세스를 이용한 바이폴라 트랜지스터 제조방법.

【도면】

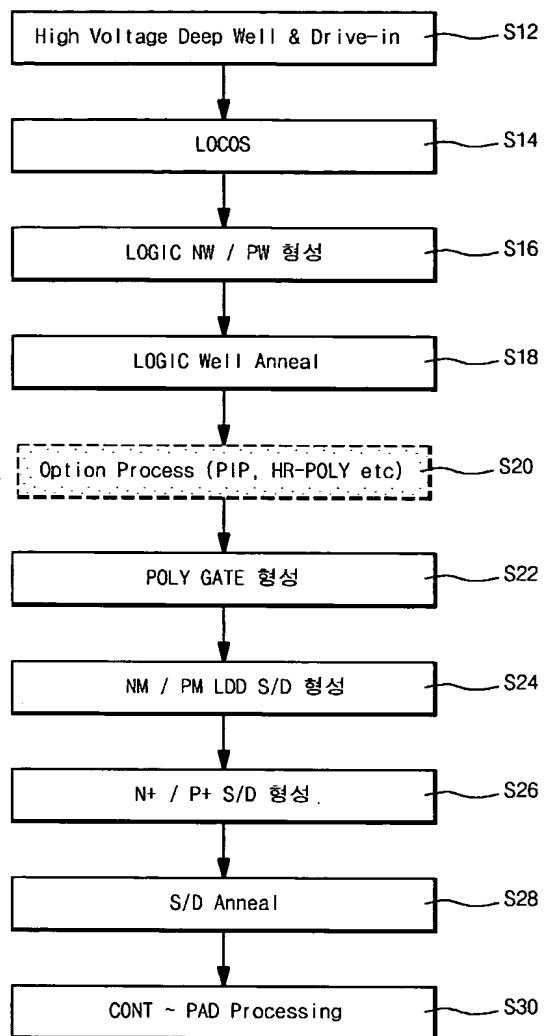
【도 1a】



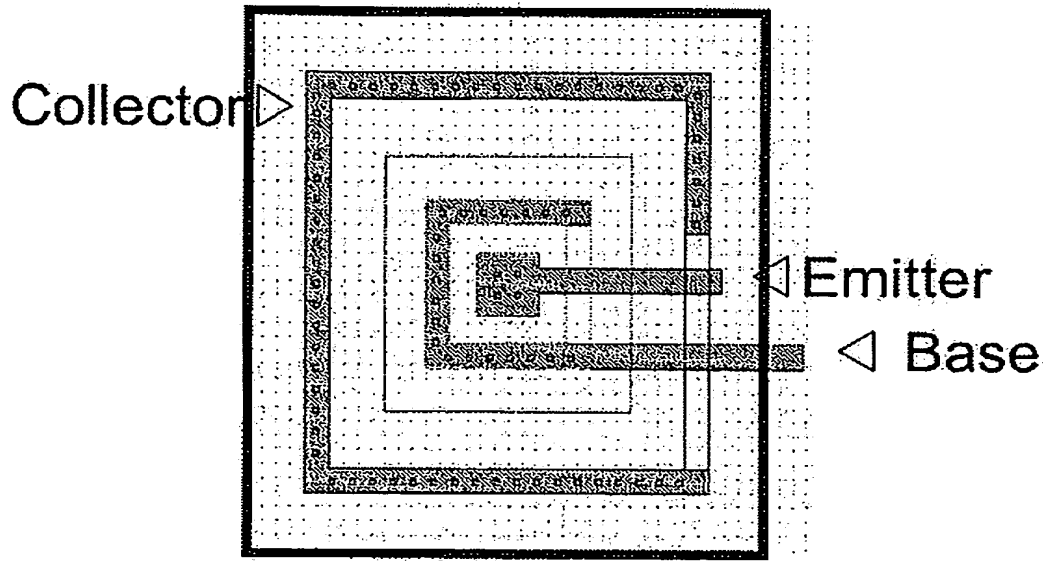
【도 1b】



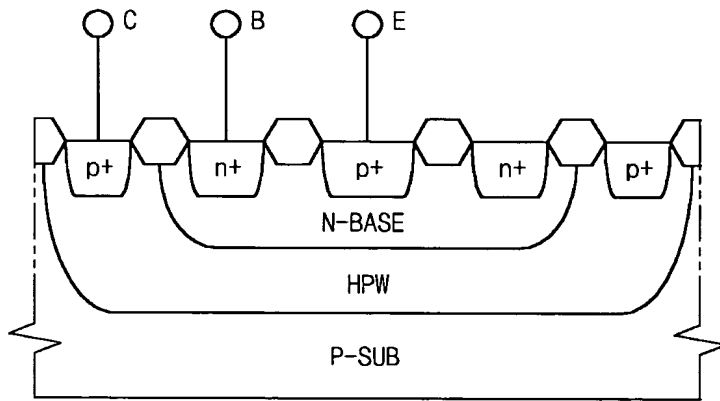
【도 2】



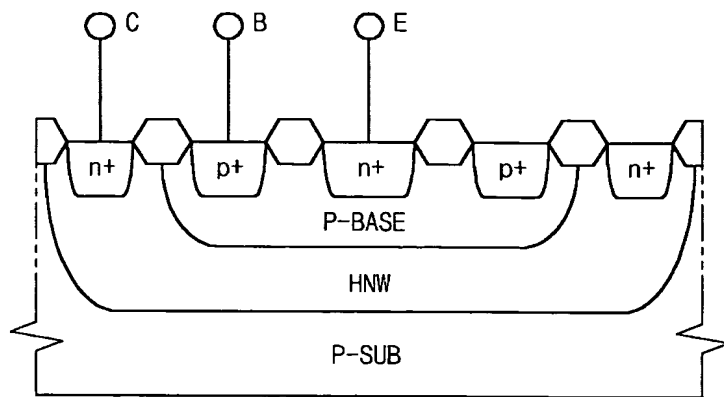
【도 3】



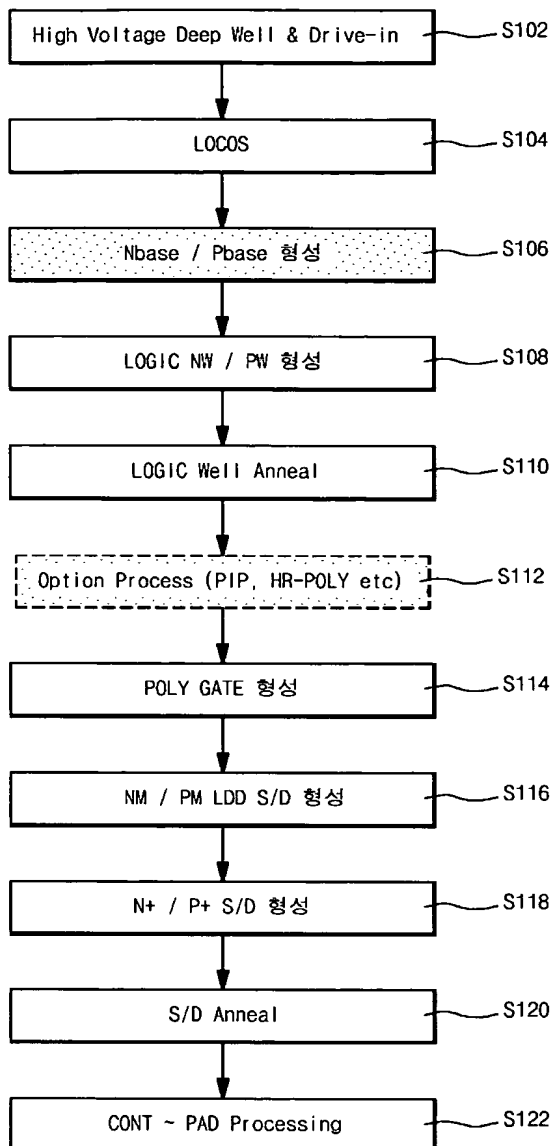
【도 4】



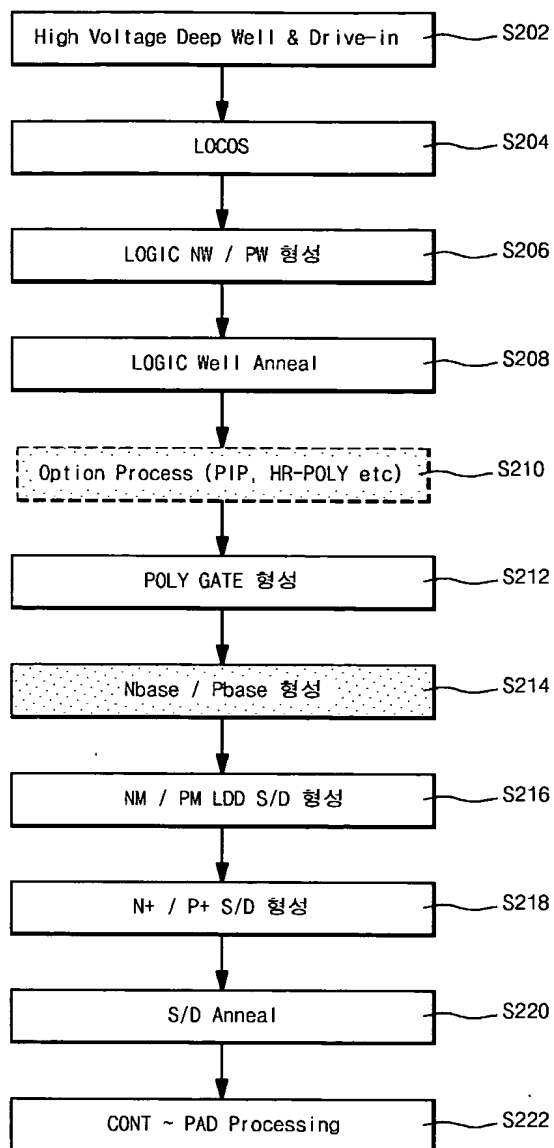
【도 5】



【도 6a】



【도 6b】



[illegible]